

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 3 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 1 7 8 7 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 1 7 8 7 7]

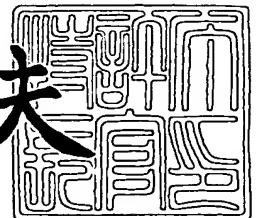
出 願 人 ローム株式会社
Applicant(s):

U.S. Appln. Filed 4-22-04
Inventor: R. Inagaki
mattingly Stanger & Malur
Docket K4200

2 0 0 3 年 1 2 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 4 7 3 7

【書類名】 特許願

【整理番号】 PR03-00026

【提出日】 平成15年 4月23日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03F 1/00

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 稲垣 亮介

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

 【代表者】 佐藤 研一郎

【代理人】

 【識別番号】 100079555

 【弁理士】

 【氏名又は名称】 梶山 信是

 【電話番号】 03-5330-4649

【選任した代理人】

 【識別番号】 100079957

 【弁理士】

 【氏名又は名称】 山本 富士男

 【電話番号】 03-5330-4649

【手数料の表示】

 【予納台帳番号】 061207

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9711313

【プルーフの要否】 要

【書類名】 明 細 書

【発明の名称】 オーディオ信号増幅回路およびこれを有する電子機器

【特許請求の範囲】

【請求項 1】

電源電圧とグランドとの間の電圧で動作する第 1、第 2 および第 3 の差動増幅回路と、

相補型となる第 1 および第 2 のトランジスタを有する出力段回路と、

入力端子に接続された第 1 抵抗と、

前記第 1 の差動増幅回路の出力に接続された第 2 の抵抗と、

前記出力段回路の出力端子に接続された第 1 および第 2 の帰還抵抗とを備え、

前記第 1 の差動増幅回路が前記第 1 の抵抗を介して入力信号を受けて出力信号を前記第 2 の抵抗を介して前記第 2 および第 3 の差動増幅回路に入力し、前記第 2 の差動増幅回路が前記第 1 あるいは第 2 のトランジスタの一方を駆動し、前記第 1 あるいは第 2 のトランジスタの他方を駆動し、前記出力段回路の出力信号が前記第 1 の帰還抵抗を介して前記第 1 の差動増幅回路の入力に帰還され、かつ、前記第 2 の帰還抵抗を介して前記第 2 および第 3 の差動増幅回路の入力に帰還されるオーディオ信号増幅回路。

【請求項 2】

前記第 2 および第 3 の差動増幅回路は、非反転動作の増幅回路であり、前記出力段回路の前記第 1 および第 2 のトランジスタは、C-MOS FET トランジスタであり、前記第 1、第 2 および第 3 の差動増幅回路は、実質的に同一の回路で構成されている請求項 1 記載のオーディオ信号増幅回路。

【請求項 3】

前記第 1、第 2 および第 3 の差動増幅回路の入出力信号の振幅基準電圧レベルと前記出力段回路の前記出力信号の振幅基準電圧レベルは、実質的に前記電源電圧の $1/2$ である請求項 2 記載のオーディオ信号増幅回路。

【請求項 4】

請求項 1～3 のいずれか 1 項記載のオーディオ信号増幅回路を有する電話機。

【請求項 5】

請求項 1 ～ 3 のいずれか 1 項記載のオーディオ信号増幅回路を有する携帯型電子機器。

【請求項 6】

請求項 1 ～ 3 のいずれか 1 項記載のオーディオ信号増幅回路を有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、オーディオ信号増幅回路およびこれを有する電子機器に関し、詳しくは、携帯電話機、固定電話機、携帯端末装置等の携帯型電子機器、パーソナルコンピュータ等の電子機器におけるオーディオシステムにおいて、比較的低い電圧での駆動においても、信号歪を低減でき、ダイナミックレンジの広い IC 化に適したオーディオ信号増幅回路に関する。

【0002】

【従来の技術】

従来、携帯電話機、固定電話機、携帯端末装置等の携帯型電子機器、パーソナルコンピュータ等の電子機器におけるオーディオシステムにあつては、電源電圧が DC 6 V 程度か、これ以下の比較的低い電圧で動作させるものが多い。そのためダイナミックレンジが狭くなる問題がある。

携帯電話機、携帯端末装置等の携帯型電子機器に適するプッシュプル動作の低電圧駆動の増幅回路としては、カレントミラー回路をドライブ段に用いてダイナミックレンジを拡大した回路が公知である（特許文献 1，2）。

ところで、音響用のオーディオシステムでは、最終出力段に MOS 回路の FET トランジスタを用いて、歪み率を低く抑え、ダイナミックレンジを大きくしたパワーアンプが使用される（特許文献 3）。さらに、この種のオペアンプとしては、バイポーラトランジスタで最終段の C-MOSFET の出力段を駆動する Bi-CMOS 回路が周知である。

【0003】

【特許文献 1】

特公平 5-308228 号公報

【特許文献 2】

特開平 9-46146 号公報

【特許文献 2】

特開平 11-103216 号公報

【0004】

【発明が解決しようとする課題】

携帯電話機、固定電話機、携帯端末装置等の携帯型電子機器、パーソナルコンピュータ等におけるオーディオシステムにおいては、近年、音質の向上と出力の増強が期待され、また、その要請が強い。しかも、消費電力の低減の要請もある。

バイポーラトランジスタを最終段に用いる場合には、アイドリング電流を抑制しないと、無信号時の電力損失が大きくなる問題があるが、先の特許文献 2 では、この問題を解決している。しかし、ドライブ段の回路構成が多少複雑になる欠点がある。

そこで、最終出力段に C-MOS 回路の FET トランジスタを用いて、アイドリング電流を抑制することが考えられるが、DC 6 V 以下の比較的低い電圧での駆動においてバイポーラで MOSFET を駆動し、プッシュプル動作の CMOS オペアンプにした場合に、MOSFET の駆動が十分に行えず、ダイナミックレンジが小さくなる問題がある。

【0005】

また、プッシュプル動作の CMOS オペアンプにした場合には、正位相側も逆位相側もそれぞれ異なるバイアス設定となり、最終段をドライブすることが必要であるため、ボーデ線図（あるいはボード線図＝周波数対総合ゲインのグラフ）上におけるポール（曲点）の数が多くなって、低電圧駆動にするとクロスオーバー歪みが多くなり、出力を大きくすると発振し易い。

この発明は、このような従来技術の問題点を解決するものであって、比較的低い電圧での駆動においても、信号歪を低減でき、ダイナミックレンジの広い IC 化に適したオーディオ信号増幅回路およびこれを有する電子機器を提供すること

にある。

【0006】

【課題を解決するための手段】

このような目的を達成するためのこの発明のオーディオ信号増幅回路およびこれを有する電子機器の特徴は、電源電圧とグランドとの間の電圧で動作する第1、第2および第3の差動増幅回路と、相補型となる第1および第2のトランジスタを有する出力段回路と、入力端子に接続された第1抵抗と、第1の差動増幅回路の出力に接続された第2の抵抗と、出力段回路の出力端子に接続された第1および第2の帰還抵抗とを備えていて、

第1の差動増幅回路が第1の抵抗を介して入力信号を受けて出力信号を第2の抵抗を介して第2および第3の差動増幅回路に入力し、第2の差動増幅回路が第1あるいは第2のトランジスタの一方を駆動し、第1あるいは第2のトランジスタの他方を駆動し、出力段回路の出力信号が第1の帰還抵抗を介して第1の差動増幅回路の入力に帰還され、かつ、第2の帰還抵抗を介して第2および第3の差動増幅回路の入力に帰還されるものである。

【0007】

【発明の実施の形態】

このように、この発明にあっては、第1、第2および第3の3個の差動増幅回路により最終出力段に対するドライブ回路を構成して、各差動増幅回路を電源電圧とグランド間で動作させるようにする。このことで、比較的低い電圧で出力段回路に対する駆動信号を生成できる。

特に、第1、第2および第3の差動増幅回路の回路構成を実質的に同一にすれば、ボーデ線図上におけるポールの数が低減でき、出力段回路の出力信号が第1の帰還抵抗と第2の帰還抵抗を介して入力側に二重に帰還されているので、クロソバ歪み等が低減され、出力が多少大きくなっても回路発振が抑制される。さらに、出力段回路の第1および第2のトランジスタをC-MOSFETトランジスタとすればアイドル電流が低減できる。

その結果、信号歪を低減でき、ダイナミックレンジが広く、IC化に適したオーディオ信号増幅回路およびこれを有する電子機器を実現できる。

【0008】

【実施例】

図1は、この発明のオーディオ信号増幅回路を適用した一実施例のオーディオ出力回路を中心としたブロック図、図2は、その具体例な回路の一例の説明図、図3～図5は、図1における差動増幅回路の他の具体例の説明図である。

図1において、10は、オーディオ出力回路である。オーディオ出力回路10は、差動増幅回路1、2、3からなるドライブ段回路4と、このドライブ段により駆動されるC-MOSFETの出力段回路5、そして抵抗R1、R2、R3、R4とからなる。なお、5aは出力段回路5の出力端子であり、4aはドライブ段回路4の入力端子である。

差動増幅回路1、2、3は、それぞれ同じ回路構成のものであり、それぞれに電源ライン+VDD（その電源電圧+VDD）から電力供給を受けて、電源電圧+VDDとグランドGNDとの間で動作する。差動増幅回路1は、反転動作の増幅回路であり、その(-)入力側は、抵抗R1と抵抗R2の直列回路の接続点N1に接続され、その(+)入力側は、所定のバイアスラインVa（= $+VDD/2$ ）に接続されている。抵抗R1と抵抗R2の直列回路は、オーディオ出力回路10の増幅率を決める抵抗であって、抵抗R1は、基準抵抗であって、残りの一端が入力端子4aに接続されている。抵抗R2の残りの一端は、出力端子5a側に接続され、出力信号を入力側に帰還する帰還抵抗である。

【0009】

差動増幅回路2の(-)入力側は、抵抗R3と抵抗R4の直列回路の接続点N2に接続され、(+)入力側は、所定のバイアスラインVaに接続されている。抵抗R3と抵抗R4の直列回路も差動増幅回路2の増幅率を決める抵抗であって、抵抗R3は基準抵抗であって、残りの一端が差動増幅回路1の出力に接続されている。抵抗R4の残りの一端は、出力端子5a側に接続され、出力信号を入力側に帰還する帰還抵抗である。

差動増幅回路3の(-)入力側は、抵抗R3と抵抗R4の直列回路の接続点N2に接続され、(+)入力側は、所定のバイアスラインVaに接続された差動増幅回路2と同様な回路である。

差動増幅回路 2 と差動増幅回路 3 の出力は、それぞれ C-MOS FET の出力段回路 5 に出力される。出力段回路 5 は、P チャネルの MOS FET トランジスタ T_{rp} と N チャネルの MOS FET トランジスタ T_{rn} とからなる。トランジスタ T_{rp} のドレインがトランジスタ T_{rn} のドレインと接続され、この接続点 N3 が出力端子 5 a に接続されている。トランジスタ T_{rp} のソースは、電源ライン +VDD に接続され、トランジスタ T_{rn} のソースは、グランド GND に接続されている。

なお、ここでは、差動増幅回路 1, 2, 3 の入力信号および出力信号の振幅基準レベルは、実質的に $+VDD/2$ になるように設定されている。また、出力段回路 5 の出力信号の振幅基準レベルも実質的に $+VDD/2$ になるように設定されている。

【0010】

このように、電源電圧 +VDD とグランド GND との間の電圧で動作し、電源電圧に対して $+VDD/2$ 電圧を振幅基準として出力信号を発生する同じ差動増幅回路を単位として 3 個設けて、これら回路の入力側の基準側のバイアス電圧も $+VDD/2$ とする。そして、その 1 つを初段の入力段あるいは初段ドライブ回路として、これにより他の 2 つの回路を駆動して、この他の 2 個の差動増幅回路をそれぞれ C-MOS FET の出力段回路 5 の出力段トランジスタのドライブ回路に割当てる。

これにより、各差動増幅回路 1 ~ 3 は、電源電圧 +VDD とグランド GND との間に駆動信号を発生することができ、同じ回路構成の差動増幅回路で出力段を駆動できるので、ダイナミックレンジを拡大することができる。さらに、最終出力段が C-MOS FET となっているので、アイドリング電流が抑制され、かつ、ノイズが低減して音質を向上させることができる。

【0011】

図 2 は、その具体的な回路であり、差動増幅回路 1, 2, 3 は、入力段が下流に NPN のトランジスタ Q3 の定電流源を有する NPN の差動トランジスタ Q1, Q2 からなる。出力段が PNP のトランジスタ Q4, Q5 からなるカレントミラー回路 6 で構成されている。トランジスタ Q4 は、ダイオード接続のカレントミ

ラ回路 6 の入力側トランジスタであり、トランジスタ Q5 は、カレントミラー回路 6 の出力側トランジスタである。差動トランジスタ Q1, Q2 の上流側には、負荷抵抗 R5, R6 が設けられ、それぞれのコレクタがこれら負荷抵抗 R5, R6 を介して電源ライン + VDD にそれぞれ接続されている。差動トランジスタ Q1, Q2 の共通のエミッタは、トランジスタ Q3 のコレクターエミッタ、抵抗 R7 を介して接地されている。

トランジスタ Q4, Q5 のエミッタは、それぞれ負荷抵抗 R5, R6 と差動トランジスタ Q1, Q2 のコレクタとの接続点に接続されて差動トランジスタ Q1, Q2 からの出力を受け、そのコレクタは、定電流源の NPN のトランジスタ Q6, Q7 のコレクターエミッタ、抵抗 R8, R9 を介してグランド GND に接続されている。

なお、定電流源を構成するトランジスタ Q3 とトランジスタ Q6, Q7 のそれぞれのベースは、それぞれ定電圧のバイアスライン V_s に接続されている。

バイアスライン V_s は、定電圧回路 8 と電流源 7 との接続点から取り出される定電圧のラインである。電源ライン + VDD とグランド GND との間には、直列に接続された電流源 7 と、この電流源 7 の電流を下流で受ける定電圧回路 8 からなる定電圧回路が設けられている。定電圧回路 8 は、ダイオード接続のトランジスタと抵抗との直列回路で構成されている。

【0012】

このように、差動増幅回路 1 ~ 3 は、実質的に同一の回路で構成されているので、周波数に対する増幅特性がほとんど変わりなく、かつ、最終段が CMOS FET となっているので、ボーデ線図上におけるポールの数が低減される。

その結果、低電圧駆動にしてもクロスオーバー歪み等が改善され、回路発振も抑制される。

【0013】

図 3 は、図 1 における差動増幅回路の他の具体例である。図 3 の差動増幅回路 3 a は、図 2 の差動増幅回路 3 における NPN トランジスタ Q1 ~ Q3, Q6, Q7 を PNP トランジスタ Q1 ~ Q3, Q6, Q7 に置換え、PNP トランジスタ Q4, Q5 を NPN トランジスタ Q4, Q5 に置換えた差動増幅回路になっている。これを図 2 の差動増幅回路 3 に置き換えて用いることができる。なお、他の差動増幅

回路 1, 2 もすべてこの回路に置換えても差し支えない。

なお、バイアスライン V_s は、電流源 7 と定電圧回路 8 の接続点から取り出されるが、これら回路の位置が図 2 とは逆転している。すなわち、定電圧回路 8 は、電源ライン + V_{DD} に接続され、電流源 7 は、定電圧回路 8 の電流をその下流で受けてグランド GND へとシンクさせる抵抗とダイオード接続のトランジスタとの直列回路で構成されている。

図 4 は、図 1 の差動増幅回路 1 ~ 3 の他の具体例であって、これら差動増幅回路 1 ~ 3 を図 4 の差動増幅回路にすることができる。

図 4 の差動増幅回路は、図 2 の差動増幅回路におけるカレントミラー回路 6 の出力を下流に設けたカレントミラー回路 9 で受けて反転電流を生成する。そして、このカレントミラー回路 9 の上流に設けられたカレントミラー接続のトランジスタ Q_{11} により出力を発生する。

カレントミラー回路 9 は、 NPN トランジスタ Q_8 , Q_9 からなり、上流には、トランジスタ Q_{11} が設けられている。これをカレントミラーの出力側トランジスタとして差動のトランジスタ Q_1 , Q_2 側に入力側トランジスタを設ける。この入力側トランジスタは、トランジスタ Q_1 のコレクタと抵抗 R_5 の間に挿入されたトランジスタ Q_{10} である。これにより、出力側のトランジスタ Q_{10} を介して差動のトランジスタ Q_1 からの出力がトランジスタ Q_{10} , Q_{11} を経て出力端子 OUT に出力される。

図 5 は、図 4 の差動増幅回路における NPN トランジスタ $Q_1 \sim Q_3$, Q_8 , Q_9 を PNP トランジスタ $Q_1 \sim Q_3$, Q_8 , Q_9 に置換え、 PNP トランジスタ Q_4 , Q_5 , Q_{10} , Q_{11} を NPN トランジスタ Q_4 , Q_5 , Q_{10} , Q_{11} に置換えた差動増幅回路になっている。これを図 3 の場合と同様に図 2 の差動増幅回路 3 あるいは差動増幅回路 1 ~ 3 に置換えて用いることができる。バイアスライン V_s は、図 3 の場合と同様である。

【0014】

以上説明してきたが、実施例では、バイポーラで $C-MOSFET$ の出力段を駆動する $Bi-CMOS$ 回路を例としているが、この発明は、出力段は、必ずしも $MOSFET$ トランジスタでなくてもよい。この場合には、アイドリング電流

が多少増加することになる。なお、ドライブ段をMOSFETトランジスタで構成してもよいことはもちろんである。

【0015】

【発明の効果】

以上説明してきたように、この発明にあつては、第1、第2および第3の3個の差動増幅回路により最終出力段に対するドライブ回路を構成して、各差動増幅回路を電源電圧とグランド間で動作させるようにする。このことで、比較的低い電圧で出力段回路に対する駆動信号を生成できる。

さらに、出力段回路の第1および第2のトランジスタをC-MOSFETトランジスタとすればアイドル電流が低減できる。

その結果、信号歪を低減でき、ダイナミックレンジが広く、IC化に適したオーディオ信号増幅回路およびこれを有する電子機器を実現できる。

【図面の簡単な説明】

【図1】

図1は、この発明のオーディオ信号増幅回路を適用した一実施例のオーディオ出力回路を中心としたブロック図である。

【図2】

図2は、その具体例な回路の一例の説明図である。

【図3】

図3は、図1における差動増幅回路の他の具体例の説明図である。

【図4】

図4は、図1における差動増幅回路のさらに他の具体例の説明図である。

【図5】

図5は、図1における差動増幅回路のさらに他の具体例の説明図である。

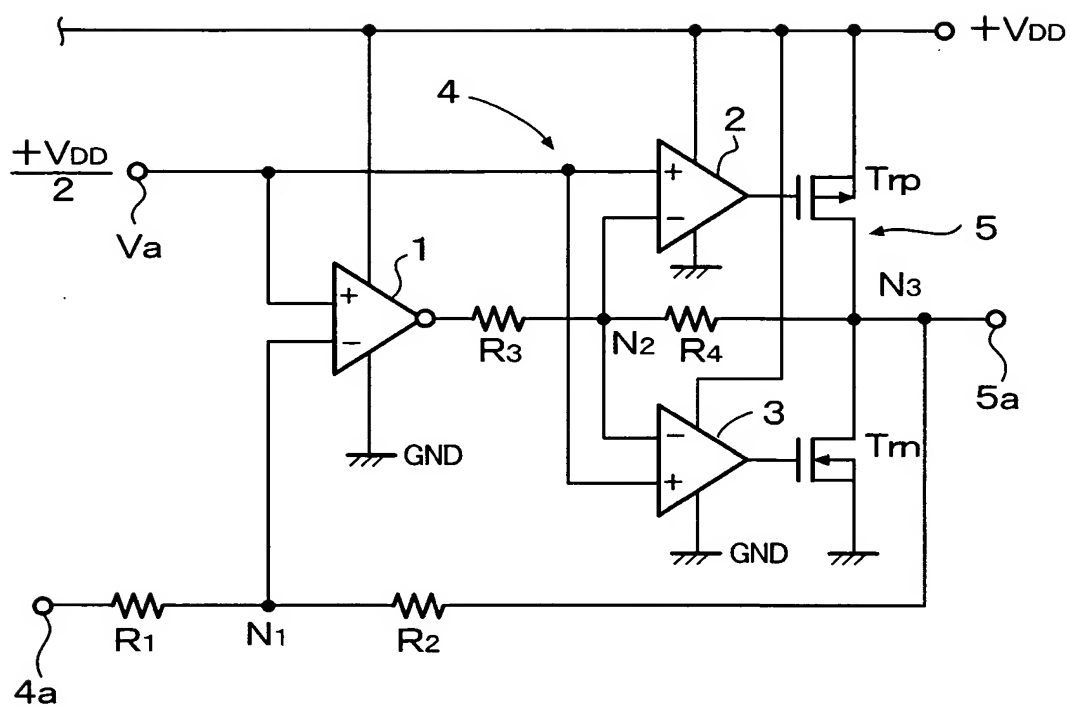
【符号の説明】

- 1, 2, 3…差動増幅回路、
- 4…ドライブ段回路、5…出力段回路、
- 5、そして抵抗R1, R2, R3, R4とからなる。
- 5a…出力端子、4a…入力端子、

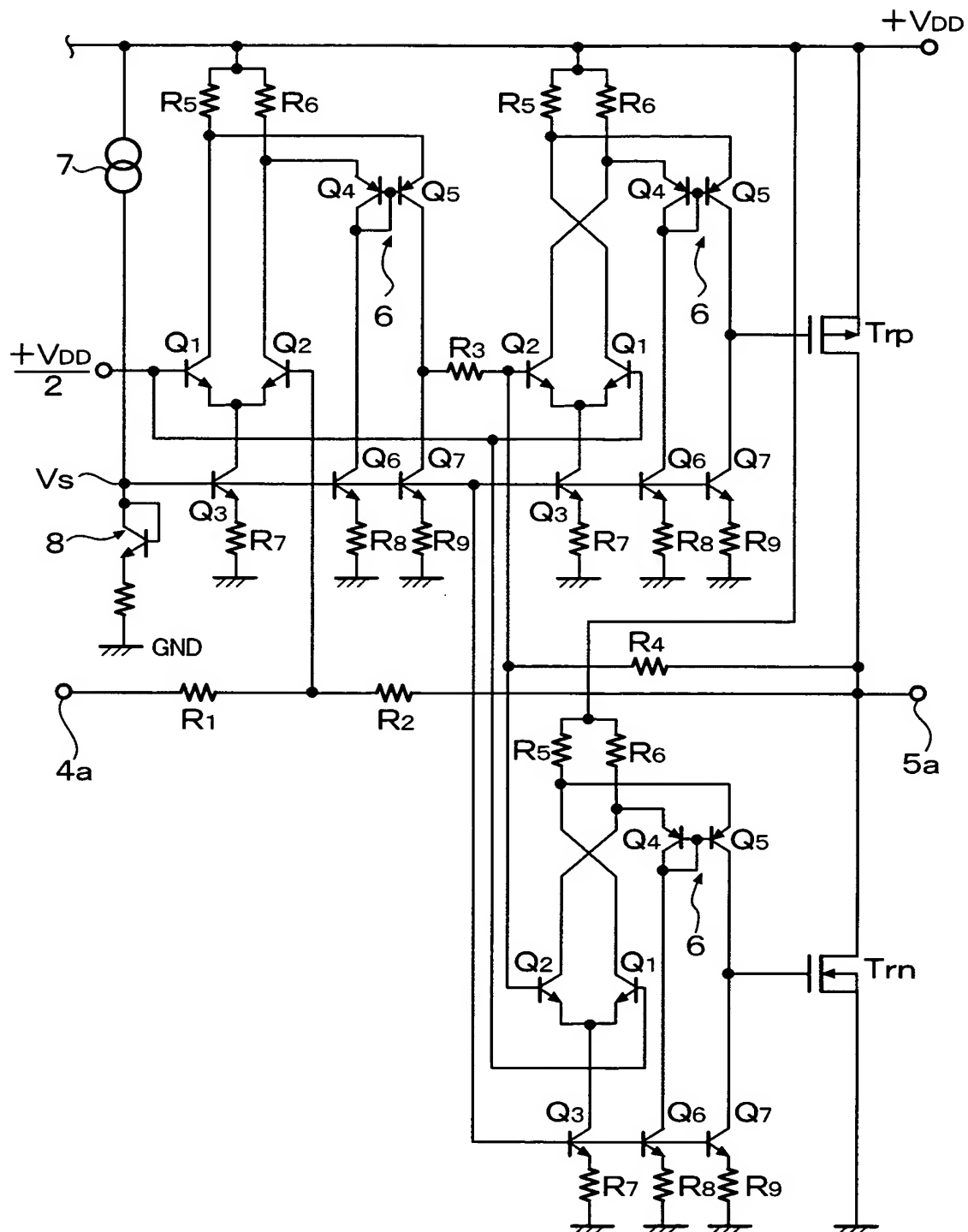
6…カレントミラー回路、7…電流源、
8…ツェナーダイオード、
10…オーディオ出力回路、
R1～R8…抵抗、Q1～Q7…バイポーラトランジスタ、
TR1, TR2…MOSFETトランジスタ。

【書類名】 図面

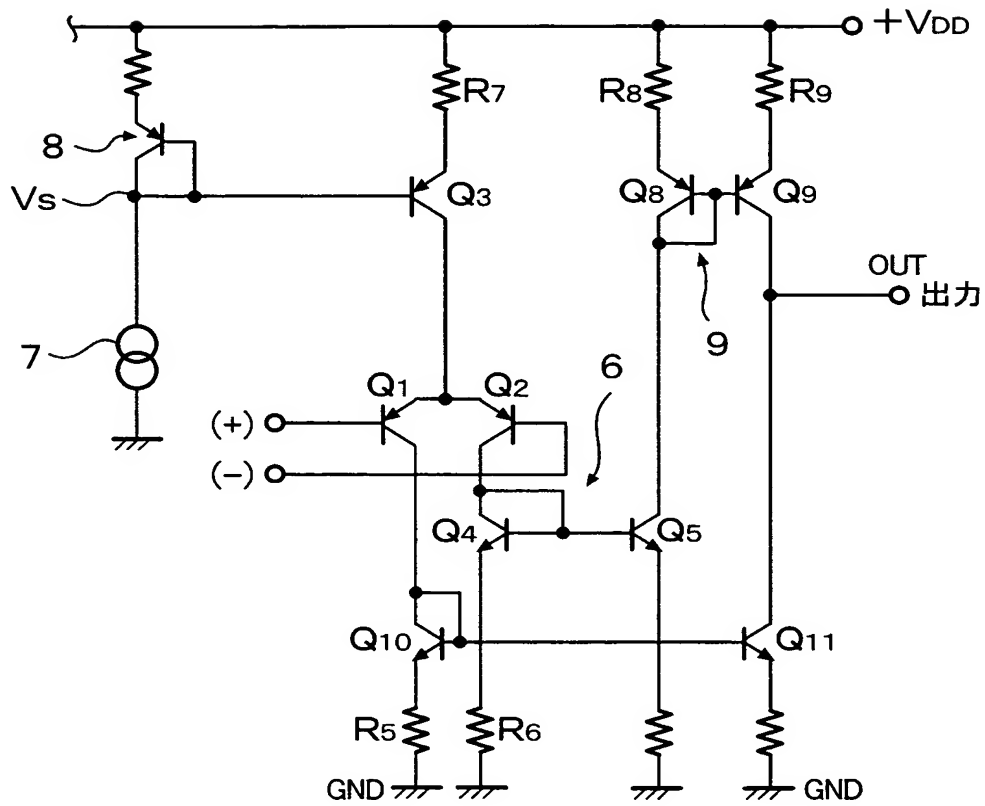
【図 1】

10

【図 2】



【図 5】



【書類名】 要 約 書**【要約】****【課題】**

比較的低い電圧での駆動においても、信号歪を低減でき、ダイナミックレンジの広い IC 化に適したオーディオ信号増幅回路およびこれを有する電子機器を提供することにある。

【解決手段】

この発明は、電源電圧とグランドとの間の電圧で動作する第 1、第 2 および第 3 の差動増幅回路と、相補型となる第 1 および第 2 のトランジスタを有する出力段回路と、入力端子に接続された第 1 抵抗と、第 1 の差動増幅回路の出力に接続された第 2 の抵抗と、出力段回路の出力端子に接続された第 1 および第 2 の帰還抵抗とを備えているものである。

【選択図】 図 1

特願 2 0 0 3 - 1 1 7 8 7 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社